

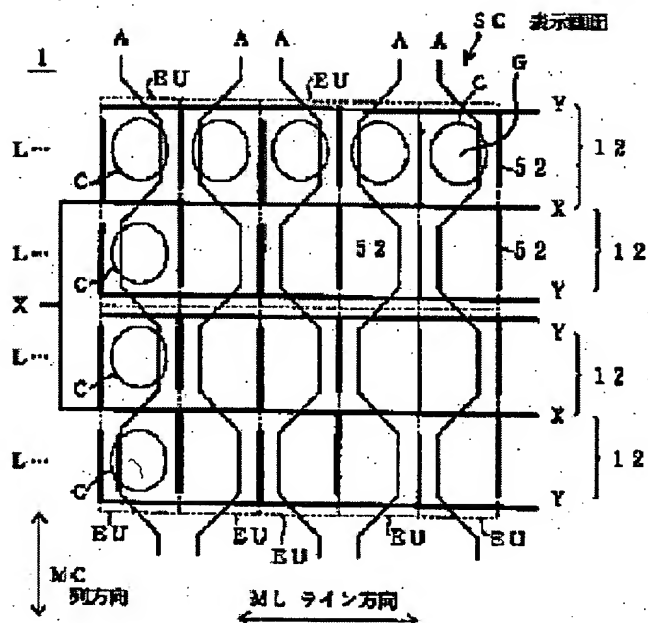
PLASMA DISPLAY PANEL

Patent number: JP9231907
Publication date: 1997-09-05
Inventor: NAMIKI FUMIHIRO; TOYODA OSAMU; KOSAKA TADAYOSHI; BETSUI KEIICHI
Applicant: FUJITSU LTD.
Classification:
 - International: H01J11/00; H01J11/02
 - european:
Application number: JP19960033397 19960221
Priority number(s):

Abstract of JP9231907

PROBLEM TO BE SOLVED: To prolong the lifetime by reducing the concentrated discharge, and to realize a high luminance display.

SOLUTION: This plasma display panel 1 includes several first sustain electrodes X and several second sustain electrodes Y which are arranged in a display screen SC along a row direction MC, and also includes several address electrodes A which are arranged along a line direction ML. In this case, the two second sustain electrodes Y are respectively arranged in arrangement interstices between the first sustain electrodes X, and a discharge gap G extending in a direction intersecting the line direction MC is formed in each of an unit luminescent region EU so that the sustain discharge is produced between the first sustain electrode X and the second sustain electrode Y adjacent thereto.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-231907

(43) 公開日 平成9年(1997)9月5日

(51) Int. Cl. ⁴	国際記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 11/00			H 0 1 J 11/00	K
11/02			11/02	B

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平8-33387

(22) 出願日 平成8年(1996)2月21日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 並木 文博

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 豊田 浩

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 久保 幸雄

続き頁に続く

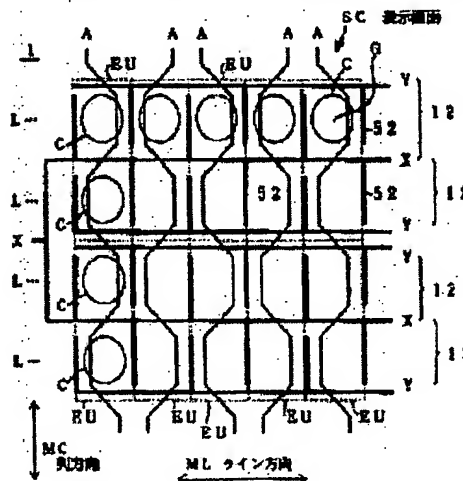
(54) 【発明の名称】 プラズマディスプレイパネル

(57) 【要約】

【課題】 放電の集中を緩和して寿命を延ばすとともに、表示の高輝度化を図ることを目的とする。

【解決手段】 表示画面 B C 内に列方向 M C に沿って複数の第1サステイン電極 X と複数の第2サステイン電極 Y とが配列され、行方向 M L に沿って複数のアドレス電極 A が配列されたマトリクス表示形式の P D P 1 において、第1サステイン電極 X とおりの配列間隔に第2サステイン電極 Y を2本ずつ配列し、隣接する第1サステイン電極 X と第2サステイン電極 Y との間でサステイン放電が生じるように、行方向 M C と交差する方向に延びる放電ギャップ G を単位発光領域 E U 毎に形成する。

本発明の P D P の電極マトリクスの基本構成を示す平面図



【特許請求の範囲】

【請求項 1】表示画面内に列方向に沿って複数の第1サステイン電極と複数の第2サステイン電極とが配列され、行方向に沿って複数のアドレス電極が配列されたマトリクス表示形式のプラズマディスプレイパネルであって、

第1サステイン電極どうしの配列間隔に第2サステイン電極が2本ずつ配列されており、隣接する第1サステイン電極と第2サステイン電極との間でサステイン放電が生じるように、前記行方向と交差する方向に延びる放電ギャップが単位発光領域毎に形成されてなることを特徴とするプラズマディスプレイパネル。

【請求項 2】前記各第1サステイン電極及び前記各第2サステイン電極が、前記表示画面の全長に渡って前記行方向に延びる帯状の構造と、当該構造から前記列方向に張り出した複数の枝部とから構成され、前記第1サステイン電極の前記各枝部が、前記列方向における前記基部の一方側と他方側とに前記単位発光領域毎に交互に配置されており、前記第1サステイン電極の前記枝部と、前記第2サステイン電極の前記枝部とによって前記放電ギャップが形成されてなる請求項 1記載のプラズマディスプレイパネル。

【請求項 3】前記各第1サステイン電極及び前記各第2サステイン電極の前記枝部が、当該枝部に対応した前記基部と連続する傾小部と、当該傾小部に対して前記行方向の両側に張り出し且つ当該基部から離れた膨大部とから構成され、

前記第1サステイン電極の前記膨大部と、前記第2サステイン電極の前記膨大部とによって前記放電ギャップが形成されてなる請求項 2記載のプラズマディスプレイパネル。

【請求項 4】前記アドレス電極が、前記列方向に並ぶ単位発光領域の全てを通過し、平面視において当該各単位発光領域内の前記第2サステイン電極の前記枝部と重なり且つ前記第1サステイン電極の前記枝部と重ならないように蛇行した帯状にパターンニングされてなる請求項 3記載のプラズマディスプレイパネル。

【請求項 5】前記各放電ギャップが、前記列方向及び前記行方向の双方に対して傾斜した方向に延びてなる請求項 1乃至請求項 4のいずれかに記載のプラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、面放電セルを面定する電極対を有したマトリクス表示形式のAC型のPDP（プラズマディスプレイパネル）に関する。

【0002】選択発光に重電荷を利用するAC駆動形式のPDPの内、特に面放電型PDPは発光体によるカラ

ー表示に適しており、ハイビジョン用の大画面表示デバイスとして注目されている。

【0003】

【従来の技術】図4は従来の面放電型PDP80の電極構造を模式的に示す平面図、図5は従来の面放電型PDP80の内部構造を示す分解斜視図である。

【0004】PDP80は、互いに平行に延びる直線状のサステイン電極（主電極）X₁、Y₁からなる複数の電極対12₁と、サステイン電極X₁、Y₁と直交する複数の直線状のアドレス電極A₁とを有する。各電極対12₁はマトリクス表示の1ライン（行）Lに対応し、各アドレス電極A₁は1列に対応する。

【0005】サステイン電極X₁、Y₁は、各ラインLにおいて面放電ギャップGを挟んで隣接するように列方向に交互に配列されている。ただし、ライン間の電極間隔dは面放電ギャップGのギャップ幅（電極間距離）eより十分に大きい。

【0006】このように配列されたサステイン電極X₁、Y₁の内、一方のサステイン電極Y₁は、駆動回路の簡素化のために複数のラインL間で電気的に共通化されている。他方のサステイン電極X₁は、ライン順次の画面走査を可能とするために、1ラインずつ独立した個別電極とされている。各ラインLでは、サステイン電極X₁、Y₁によってサブピクセル（単位発光領域）EU毎に面放電セルC₁が画定される。そして、サステイン電極Y₁とアドレス電極A₁との間の放電によって各面放電セルC₁の点灯（放電）又は非点灯の選択（アドレッシングG）が行われる。

【0007】PDP80の使用に際しては、表示内容に応じたアドレッシングの後、全てのラインLについて一斉に、サステイン電極X₁、Y₁に対して交互にサステインパルス（印加電圧）を印加する。すなわちAC駆動をする。サステイン電極X₁とサステイン電極Y₁との間の相対電位関係はサステインパルスの印加幅に反転する。サステインパルスの最高値（V_s）を放電開始電圧（V_i）より低く設定しておけば、アドレッシング終了時点で所定量の重電荷が存在した面放電セルC₁においてサステインパルスの印加幅に面放電が生じる。単位時間当たりのサステインパルスの印加回数を適宜に設定することによって表示の輝度を調整することができる。

【0008】図6において、PDP80は、前面側のガラス基板11₁、サステイン電極X₁、Y₁、AC駆動のための誘電体層17₁、保護膜18₁、背面側のガラス基板21₁、アドレス電極A₁、平面視直線状の隔壁29₁、及びフルカラー表示のための蛍光体層28₁などから構成されている。内部の放電空間30₁は、隔壁29₁によってライン方向（サステイン電極X₁、Y₁の延長方向）にサブピクセルEU毎に区画され、且つその間隔寸法が規定されている。隔壁29₁の配置パターンはいわゆるストライプパターンであり、放電空間30₁

」の内の各列に対応した部分は、全てのラインLに渡がって列方向に連続している。

【0009】サステイン電極X₁、Y₁は、ガラス基板11」の内面に配列されており、それぞれが幅の広い透明導膜41と導電性を確保するための金属膜42とから構成されている。透明導膜41は、面放電が流れるように金属膜42より幅の広い帯状にパターンニングされている。

【0010】発光体層28」は、サステイン電極X₁、Y₁から送られて面放電によるイオン衝撃を緩和するために背面側のガラス基板21」上の各画素29」の間に設けられており、面放電で生じた紫外線によって局所的に励起されて発光する。発光体層28」の高層面（放電空間と接する面）で発光した可視光の内、ガラス基板11」を透過する光が表示光となる。

【0011】マトリクス表示のピクセル（画素）EGは、ライン方向に並ぶ3つのサブピクセルEUからなる。これら発光色（R、G、B）は互いに異なり、R、G、Bの組み合わせでカラー表示が行われる。ピクセルEGの形状としては、画素画素の上で正方形が好ましい。ピクセルEGを正方形とした場合、サブピクセルEUは列方向に長い四角形となる。

【0012】

【発明が解決しようとする課題】従来の電極構造では、面放電ギャップG」がライン方向に延びており、各サブピクセルEUにおける面放電ギャップG」のギャップ長（ライン方向の長さ） α 」が短いことから、面放電が過度に集中してイオン衝撃による保護膜18」の劣化が進み易いという問題があった。ギャップ長 α 」は、画素29」の幅の分だけサブピクセルEUのライン方向の寸法より短い。

【0013】また、紫外線の強度が面放電ギャップG」から遠くなるにつれて小さくなることから、発光体層28」の励起がサブピクセルEUにおける列方向の中央部に限られていた。つまり、サブピクセルEUにおける単位発光領域の占める割合が大きく、発光効率が低いという問題もあった。

【0014】本発明は、放電の集中を緩和して寿命を延ばすとともに、表示の高輝度化を図ることを目的としている。

【0015】

【問題を解決するための手段】ギャップ長 α 」を増大すれば、放電の集中が緩和され且つ有効発光領域が拡大される。上述したように単位発光領域（PDP80ではサブピクセルEU）が列方向に長い場合、ライン方向ではなく列方向に延びた面放電ギャップを設けることにより、ギャップ長 α 」の増大が可及である。すなわち、各サステイン電極を線状とし、各単位発光領域において一方のサステイン電極の線部と他方のサステイン電極の線部とがギャップ幅 α 」を隔てて隣接するように設けられ

よい。ただし、列方向におけるサステイン電極の配列順序を従来の順序（1本ずつ交互）としたのでは、隣接するラインLの間でのサステインパルスによる放電を避けるために電極間隔 d を十分に大きくしなければならぬので、ギャップ長 α 」の大幅な増大は望めない。配列順序の工夫が必要である。

【0016】請求項1の発明のPDPは、表示画面内に列方向に沿って複数の第1サステイン電極と複数の第2サステイン電極とが配列され、行方向に沿って複数のアドレス電極が配列されたマトリクス表示形式のPDPであって、第1サステイン電極どうしの配列間隔に第2サステイン電極が2本ずつ配列されており、隣接する第1サステイン電極と第2サステイン電極との間でサステイン放電が生じるように、前記行方向と交差する方向に延びる放電ギャップが単位発光領域毎に形成されている。

【0017】請求項2の発明のPDPは、前記各第1サステイン電極及び前記各第2サステイン電極が、前記表示画面の全長に渡って前記行方向に延びる帯状の線部と、当該線部から前記列方向に張り出した複数の枝部とから構成され、前記第1サステイン電極の前記枝部が、前記列方向における前記枝部の一方側と他方側とに前記単位発光領域毎に交互に配置されており、前記第1サステイン電極の前記枝部と、前記第2サステイン電極の前記枝部とによって前記放電ギャップが形成されている。

【0018】請求項3の発明のPDPは、前記各第1サステイン電極及び前記各第2サステイン電極の前記枝部が、当該枝部に対応した前記枝部と連続する細小部と、当該細小部に対して前記行方向の両側に張り出し且つ当該枝部から離れた膨大部とから構成され、前記第1サステイン電極の前記膨大部と、前記第2サステイン電極の前記膨大部とによって前記放電ギャップが形成されている。

【0019】ここでいう「対応した前記枝部」とは、注目する枝部が属する第1サステイン電極（又は第2サステイン電極）の基部を意味する。請求項4の発明のPDPは、前記アドレス電極が、前記列方向に並ぶ単位発光領域の全てを通過し、平面視において当該各単位発光領域内の前記第2サステイン電極の前記枝部と重なり且つ前記第1サステイン電極の前記枝部と重ならないように延びた帯状にパターンニングされている。

【0020】請求項5の発明のPDPは、前記各放電ギャップが、前記列方向及び前記行方向の双方に対して傾斜した方向に延びてなる。各第1サステイン電極は、隣接する2つの行（ライン）の表示に共用される。ただし、電極配列の間隔である場合は1つのラインの表示に用いられる。各第2サステイン電極は、1つのラインの表示に用いられる。

【0021】列方向の電極配列の一極目の電極は、第1サステイン電極でも第2サステイン電極でもよい。例え

は第1サステイン電極を一番目の電極とした場合には、第1サステイン電極（「X」で表す）及び第2サステイン電極（「Y」で表す）の配列順序は、次の又はとなる。

【0022】 X, Y, Y, X, Y, Y, X...X, Y, X, Y, Y, X, Y, Y, X...X, Y, Y, X
【0023】

【発明の実施の形態】 図1は本発明のPDP1の電極マトリクスの基本構成を示す平面図である。PDP1は、マトリクス表示形式の面放電型PDPであり、ライン方向MLに延びたサステイン電極X、Yからなる複数の電極対12と、列方向MCに延びた複数のアドレス電極Aとを有する。表示画面Bは縦横に並ぶサブピクセルEUからなる。図ではサブピクセル数は5×4個であるが、実際には例えば42インチサイズの場合で1920（=640×3）×480個程度である。

【0024】 サステイン電極X、Yの配列順序は、従来とは違ってY、X、Yの配列を繰り返すものである。サステイン電極Xの両側にサステイン電極Yが配置され、サステイン電極Xどうしの間には2本のサステイン電極Yが隣接配置されている。サステイン電極Xで挟まれた2本のサステイン電極Yの配列間隔a（図2（A）参照）は、これら電極を電気的に分離できる最小間隔の値（例えば20〜30μm）であればよく、サブピクセルEUの列方向MCの長さ（例えば500μm）と比べて十分に小さい。各電極対12はマトリクス表示の1ラインに対応する。ただし、サステイン電極Xは、隣接した2つのラインLの表示に共用される。つまり、サステイン電極Xは、列方向MCの一方側のサステイン電極Yとともに1つの電極対12を構成し、他方側のサステイン電極Yとともに他の1つの電極対12を構成する。各電極対12によって、ラインL内にサブピクセルEU毎に面放電セルCが画定される。各アドレス電極Aは1列に対応する。

【0025】 サステイン電極X、Yは直線状ではなく、列方向MCに延びた枝部52を有している。サステイン電極Xの枝部52は、サブピクセルEU毎に列方向MCの一方側と他方側とに交互に配置されている。サステイン電極Yは、列方向MCの片側に枝部52を有した樹状である。サステイン電極Yの枝部52は、サステイン電極Xの枝部52どうしの中間位置に配置されている。PDP1では、サステイン電極Xの枝部52とサステイン電極Yの枝部52とによって各サブピクセルEUに1つずつ面放電ギャップGが形成されている。アドレス電極Aも直線状ではなく、各サブピクセルEUにおいてライン方向MLの中心からサステイン電極Yの枝部52の側に向った位置を通過する蛇行した帯状にパターンニングされている。蛇行により、アドレッシングに必要な放電間隔（アドレス電極Aとサステイン電極Yの対向間隔）を確保しつつ、アドレス電極間の静電容量の低減を図ることができ。

とができる。

【0026】 なお、駆動に際して、各サステイン電極Xは電気的に共通化される。これに対して、各サステイン電極Yは、ライン順次のアドレッシングを行うときには個別電極（いわゆる走査電極）として扱われる。サステイン期間では、全てのサステイン電極Yに対して一斉にサステインパルスが印加される。

【0027】 図2はサステイン電極X、Yの各部拡大図である。図2（A）は枝部52の平面形状を示し、図2（B）は枝部52の構造を示している。図2（A）のように、サステイン電極Xは、表示画面の全長に達して行方向に延びる帯状の基部51と、基部51から列方向に張り出した複数の枝部52とから構成されている。サステイン電極Yも同様に、基部51と複数の枝部52とから構成されている。以下の説明では、特に必要がない限り、電極構成についてはサステイン電極Xとサステイン電極Yとを区別しない。

【0028】 各枝部52は、それが属する電極の基部51と接した端小部51と、当該端小部51に対して行方向の両側に張り出した膨大部52とから構成されている。膨大部52は、それが属する電極の基部51から端小部51の列方向の長さkの分だけ離れ、他の電極の基部51から長さfだけ離れている。図2の例では、長さfは長さkと等しい。

【0029】 面放電ギャップGは、サステイン電極Xの膨大部52とサステイン電極Yの膨大部52とによって形成されている。つまり、隣接する膨大部52の間隔がギャップ幅eであり、膨大部52の列方向の長さがギャップ長e1である。端小部51を設けることにより、ライン間の面放電ギャップGの距離が長さkの2倍の長さだけ増大するので、列方向の放電の結合が弱りになる。

【0030】 図2（B）のように、枝部52は、基部51と同時に形成される金属膜412と、膨大部52を形成する平面視四角形の透明導電膜420とからなる。金属膜412は、枝部52の根元から先端付近まで延びており、その一部が透明導電膜420と重なっている。金属膜412の内、透明導電膜420と重ならない部分が端小部51に対応する。

【0031】 図3はPDP1の裏面断面図であり、図2のV-V矢視方向の断面構造を示している。図3において、PDP1は、従来のPDP80と同様に蛍光体の配置形態の上で反射型と呼ばれるAC駆動形式の面放電型PDPである。前面側のガラス基板11の内面に、サステイン電極X、Yが配列されており、これらサステイン電極X、Yを放電空間30に対して挟持するように誘電体層17が設けられている。誘電体層17の表面にはMgOからなる保護膜18が形成されている。誘電体層17及び保護膜18はともに透光性を有している。サステイン電極X、Yは、透明電極41と金属電極42とが

ら構成されている。

【0032】背面側のガラス基板21の内部に、各サステイン電極X、Yの内の金属膜412と重なるように平面状直線状の隔壁29が設けられている。隔壁29によって放電空間30がライン方向MLにサブピクセルEU毎に区画され、且つ放電空間30の区画寸法が150 μ m程度に規定されている。隔壁29の幅は金属膜412の幅とほぼ等しい。各隔壁29の間に上述のアドレス電極Aが1本ずつ配置されている。各アドレス電極Aは、各サブピクセルEUにおいてサステイン電極Yの透明導電膜420と重なり、且つサステイン電極Yの透明導電膜420と重ならないようにパターンニングされている。これにより、アドレス電極Aとサステイン電極Yとの間で放電（対向放電）を生じさせて重電荷を制御するアドレッシングの信頼性が高まっている。

【0033】アドレス電極Aの表面を含めて背面側の量面を保護するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bが設けられている。PDP1においてはストライプパターンで隔壁29が設けられているので、R、G、Bの組み合わせによるフルカラー表示に際してサブピクセルEU間のクロストークが確実に防止される。ただし、サステイン電極X、Yが直線状である場合とは違って、枝部52によって放電セルC（図1参照）が画定されるので、隔壁29を省いて内部構造の簡素化を図ることも可能である。隔壁29を省く場合は、スペーサを点状させて放電空間30の区画寸法を規定する。

【0034】図4はサステイン電極構造の実形例を示す平面図である。図4においては、サステイン電極X、Yの枝部52bが、列方向MCに延びた直線状の金属膜412と台形の透明導電膜421とから構成されている。図放電ギャップGbは、隣接する透明導電膜421の斜辺どうしの対向間隔である。この場合には、図放電ギャップGbの延長方向が列方向MCに対して斜斜した方向であるので、列方向MCである場合よりもギャップ長さlが長い。

【0035】上述の実施形態においては、サステイン電極Xの枝部52、52bも、サステイン電極Yの枝部52、52bも列方向MCに沿って千鳥状に並ぶ。このため、一直線上に並ぶ場合と比べて、サステイン時における同極性の枝部52、52bどうしの間隔が増大するので、列方向MCの放電の結合が超こりにくい。ただし、電極構造は図示の例に限定されず、例えばサステイン電極Xを魚骨状、すなわちライン方向MLの同一位置で枝部52、52bが列方向MCの両側に張り出した形状としてもよい。その場合は、サステイン電極Xの基部51と

重なるように列方向MCに延びる隔壁を設け、サステイン電極Xを挟むライン間における放電の結合を防止するのが望ましい。また、金属膜412を設けずに、透明導電材料のみによって枝部52、52bを形成してもよい。

【0036】

【発明の効果】請求項1乃至請求項5の発明によれば、放電の集中を緩和して寿命を延ばすことができ、しかも従来と同様の駆動シーケンスで高輝度の表示を実現することができる。

【0037】請求項2の発明によれば、列方向に隣接した2つの放電ギャップの間に於ける同一極性のサステイン電極どうしの距離が増大するので、列方向の放電の結合を防止することができる。

【0038】請求項3の発明によれば、列方向に隣接する放電ギャップどうしの距離が増大するので、列方向の放電の結合をより確実に防止することができる。請求項4の発明によれば、アドレス電極間の静電容量を低減し、駆動の容易化を図ることができる。

【0039】請求項5の発明によれば、図4が示された単位発光領域において放電ギャップをより長くすることができ、輝度の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明のPDPの電極マトリクスの基本構成を示す平面図である。

【図2】サステイン電極の要部拡大図である。

【図3】PDPの要部断面図である。

【図4】サステイン電極構造の実形例を示す平面図である。

【図5】従来の図放電型PDPの電極構造を模式的に示す平面図である。

【図6】従来の図放電型PDPの内部構造を示す分断斜視図である。

【符号の説明】

1 PDP（プラズマディスプレイパネル）

51 基部

52 枝部

61 幅小部

62 幅大部

A アドレス電極

EU サブピクセル（単位発光領域）

G 図放電ギャップ（放電ギャップ）

MC 列方向

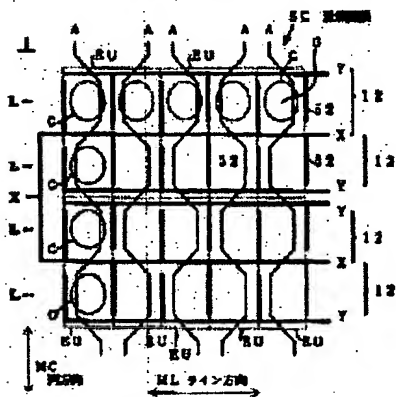
SC 表示画面

X サステイン電極（第1サステイン電極）

Y サステイン電極（第2サステイン電極）

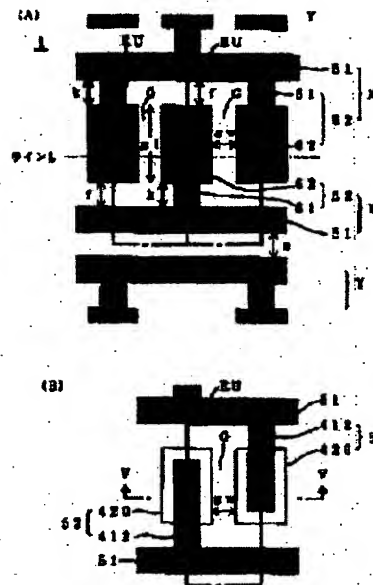
【図1】

本発明のFDPの電極マトリクス構造を説明する平面図



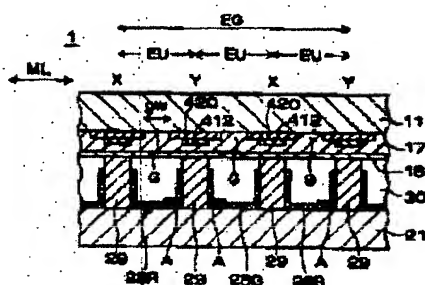
【図2】

マスキング電極の駆動回路



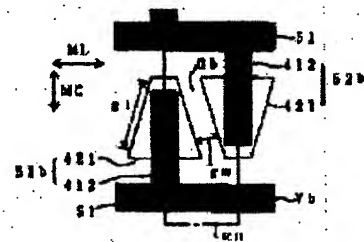
【図3】

FDPの駆動回路



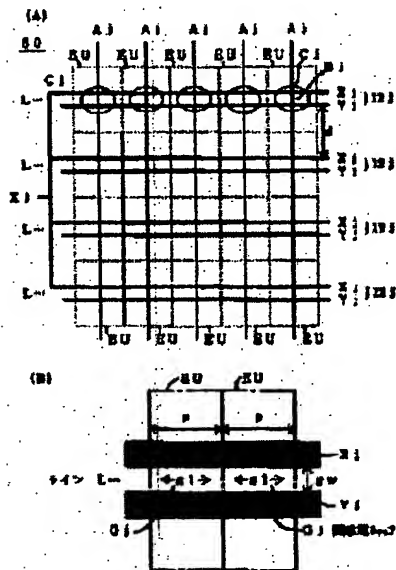
【図4】

マスキング電極の駆動回路



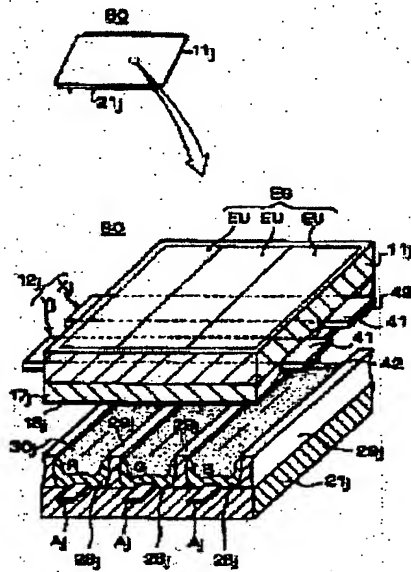
【図5】

従来の面放電型PDPの電極構造の概略図に示す平面図



【図6】

従来の面放電型PDPの内部構造を示す分解斜視図



フロントページの続き

(72)発明者 小坂 圭雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 別井 圭一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内